

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroki TAKAHASHI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: MICRO CONTROLLER UNIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
Japan	2003-100434	April 3, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

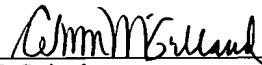
(B) Application Serial No.(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
& NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 4月 3日

出願番号

Application Number: 特願2003-100434

[ST.10/C]:

[JP2003-100434]

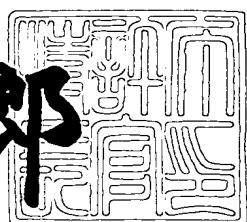
出願人

Applicant(s): 株式会社ルネサステクノロジ

2003年 6月12日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3046075

【書類名】 特許願

【整理番号】 543670JP01

【提出日】 平成15年 4月 3日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/78

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2番3号 三菱電機株式会社内

【氏名】 高橋 裕樹

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2番3号 三菱電機株式会社内

【氏名】 中村 和夫

【特許出願人】

【住所又は居所】 東京都千代田区丸の内二丁目 4番1号

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコントローラ

【特許請求の範囲】

【請求項1】 互いに位相の揃った第1および第2のクロックを生成するクロック生成回路と、

前記第1のクロックに基づき動作するCPU(中央演算処理装置)と、

前記CPUにより制御され、前記第2のクロックに基づき動作する周辺装置と

前記第1のクロックに基づいて動作する第1のバスと、

前記第2のクロックに基づいて動作する第2のバスと、

前記第1および第2のバスの動作タイミング制御を行うBIU(バスインターフェイスユニット)とを有するマイクロコントローラであって、

前記クロック生成回路は、前記第1および第2のクロックの周波数を互いに同じにするか異なるかの設定が保持されるレジスタを備え、前記レジスタに保持された前記設定に応じて、前記第1および第2のクロックの位相は揃えたままで周波数を切り替え、

前記第1および第2のクロックは、前記BIUに入力され、

前記BIUは、前記第1および第2のクロックに同期した所定のタイミングで前記第1および第2のバスのアイドル期間を交互に切り替えることにより、前記動作タイミング制御を行うことを特徴とするマイクロコントローラ。

【請求項2】 請求項1に記載のマイクロコントローラであって、

前記クロック生成回路は、

前記CPUに制御され、前記第1および第2のクロックの生成を停止させるクロック停止装置をさらに有し、

前記クロック停止装置は、

前記第2のクロックにおける単位周期が終了するタイミングに同期して、前記第1および第2のクロックの生成を停止させることを特徴とするマイクロコントローラ。

【請求項3】 請求項1に記載のマイクロコントローラであって、
前記クロック生成回路は、
前記レジスタに保持された前記設定に関わらず、前記第1のおよび第2のクロ
ックの周波数同じにする手段をさらに備える
ことを特徴とするマイクロコントローラ。

【請求項4】 請求項1に記載のマイクロコントローラであって、
前記クロック生成回路は、
所定の基準クロックに基づいて前記第1および第2のクロックを生成し、さら
に、

第3のクロックを出力するオシレータと、
前記基準クロックを、前記クロック生成回路の外部から入力される所定の外部
クロック或いは前記第3のクロックに切り替える基準クロック切替回路と、
前記外部クロックをモニタして、前記外部クロックの停止を検出する外部クロ
ック停止検出回路とを備え、
前記基準クロック切替回路は、前記外部クロックの停止が検出された場合に、
前記基準クロックを前記第3のクロックに切り替える
ことを特徴とするマイクロコントローラ。

【請求項5】 請求項4に記載のマイクロコントローラであって、
前記クロック生成回路は、
前記外部クロックの停止が検出された場合に、前記レジスタに保持された前記
設定に関わらず、前記第1のおよび第2のクロックの周波数同じにする
ことを特徴とするマイクロコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロコントローラ (MCU: Micro Controller Unit) に関するも
のであり、特に、その動作を規定するクロック信号の生成並びに制御に関するも
のである。

【0002】

【従来の技術】

従来のマイクロコントローラ（以下「MCU」と称する）においては、当該MCU全体が単一のクロックに基づいて動作するものが一般的であった。また近年のMCUの高速化の要求に伴い、クロックの高周波化が進んでいる。しかし、例えば単一のクロックで動作するMCU内で、高い周波数のクロックに対応可能なブロック（高速ブロック）と対応不可能なブロック（低速ブロック）とが存在した場合、MCUに使用するクロックの周波数は、低速ブロックが対応可能な範囲に設定せざるを得なく、当該MCU全体の高速化を図ることができない。即ち、本来高速な動作が可能な高速ブロックの動作速度が、低速ブロックの動作速度により律速されてしまう。また、MCUの高速化を図るために、低速ブロックの大規模な設計変更が必要になるという問題もあった。

【0003】

一方、MCUの中には、中央演算処理装置（CPU）用のクロック（CPUクロック）の周波数と、周辺回路用のクロック（周辺クロック）の周波数とを任意に設定可能なものも提案されている（例えば、特許文献1）。

【0004】

【特許文献1】

特開平11-272644号公報（第1-7頁、第1-5図）

【0005】

【発明が解決しようとする課題】

上記特許文献1に開示されている従来のMCUにおいては、CPUクロックと周辺クロックの周波数が任意に設定可能であるが、CPUクロックと周辺クロックとの位相が一致しないケースが生じる。そのため、CPUが周辺回路にアクセスする際に両者の動作の同期をとるための回路（例えばラッチ回路）等をMCUに設ける必要があり、MCUの回路構成の複雑化並びにコストの上昇といった問題が懸念される。

【0006】

一方、上記特許文献1の図5にも開示されているが、CPUクロックを周辺クロックから生成するMCUもある。そのようなMCUでは、周辺クロックのパル

スの間隔をあけることにより当該周辺クロックと異なる周波数のCPUクロックを生成する。この場合、CPUと周辺回路との動作の同期は確保されるので、上記の問題は伴わない。

【0007】

しかし、そのようなMCU内に高速ブロックと低速ブロックとが存在した場合、周辺クロックは低速ブロックが対応できる範囲の周波数に設定せざるを得ない。その結果、周辺クロックから生成されるCPUクロックの周波数は周辺クロックの周波数に律速され、本来高速動作が可能なCPUの性能を充分に発揮させることができなくなる。特にCPUの動作の高速化が可能となった近年、この問題は大きくなっている。その対策として、高速なCPUを搭載するMCUには、周辺回路としても高速動作が可能なものを使用すればよいが、その場合、MCUのコスト上昇を招いてしまう。

【0008】

また、MCUのクロック周波数を上げると、一般にMCU全体の消費電力が増大するという問題を伴う。特に携帯端末装置やノート型パソコンのようなバッテリー駆動を行う装置においては、低消費電力化は重要な課題である。

【0009】

本発明は以上のような課題を解決するためになされたものであり、周辺回路の動作速度に律速することなくCPU動作の高速化を図ることを第1の目的とし、CPU動作の高速化に伴う消費電力の上昇を抑えることを第2の目的とする。

【0010】

【課題を解決するための手段】

本発明に係るマイクロコントローラは、互いに位相の揃った第1および第2のクロックを生成するクロック生成回路と、前記第1のクロックに基づき動作するCPU（中央演算処理装置）と、前記CPUにより制御され、前記第2のクロックに基づき動作する周辺装置と、前記第1のクロックに基づいて動作する第1のバスと、前記第2のクロックに基づいて動作する第2のバスと、前記第1および第2のバスの動作タイミング制御を行うBIU（バスインターフェイスユニット）とを有するマイクロコントローラであって、前記クロック生成回路は、前記第

1 および第2のクロックの周波数を互いに同じにするか異なるかの設定が保持されるレジスタを備え、前記レジスタに保持された前記設定に応じて、前記第1 および第2のクロックの位相は揃えたままで周波数を切り替え、前記第1 および第2のクロックは、前記B I Uに入力され、前記B I Uは、前記第1 および第2のクロックに同期した所定のタイミングで前記第1 および第2のバスのアイドル期間を交互に切り替えることにより、前記動作タイミング制御を行う。

【0011】

【発明の実施の形態】

<実施の形態1>

図1は本発明の実施の形態1に係るマイクロコントローラ(MCU)の要部の構成を示すブロック図である。クロック生成回路10は、MCU内の各ブロックの動作タイミングおよび動作速度を規定するためのクロックを生成する。クロック生成回路10には、クロックを生成するための基準となるメインクロック X_{IN} とサブクロック X_{CIN} とが当該クロック生成回路10の外部から入力される。メインクロック X_{IN} は通常動作時に使用される高速(高周波数)のクロックであり、サブクロック X_{CIN} は例えばバッテリー駆動時などに使用される低消費電力機能に対応した比較的低速(低周波数)のクロックである。クロック生成回路10は、メインクロック X_{IN} 或いはサブクロック X_{CIN} に基づき、互いに位相の揃った(同期のとれた)第1のクロックであるCPUクロック CLK_{CPU} 並びに第2のクロックであるバスクロック CLK_{BUS} の2つのクロックを生成する。

【0012】

本明細書において、クロック生成回路10がクロックを生成するための基準となるクロックを“基準クロック”と称する。即ち、本実施の形態では、クロック生成回路10に外部から入力される外部クロックであるメインクロック X_{IN} 或いはサブクロック X_{CIN} が基準クロックとなる。

【0013】

MCU全体の動作を制御するCPU50にはCPUクロック CLK_{CPU} が入力され、当該CPU50はこのCPUクロック CLK_{CPU} に基づいて動作する。一方、B I U(バスインターフェイスユニット)51は、CPU50により制御さ

れており、コードバスおよび周辺バスとのデータのやり取りを実行する。B I U 5 1には、C P UクロックC L K_{CPU}とバスクロックC L K_{BUS}が入力される。コードバスにはC P U 5 0で実行される実行コード（プログラム）等が格納されたR O M 5 2（Read Only Memory）が接続されており、B I U 5 1は、C P UクロックC L K_{CPU}に基づいてコードバス上のR O M 5 2にアクセスして実行コードを読み出す。また、B I U 5 1は、バスクロックC L K_{BUS}に基づいて周辺バス上の周辺機能部5 3 a, 5 3 bを制御する。即ち、周辺機能部5 3 a, 5 3 bは、バスクロックC L K_{BUS}に基づき動作する周辺装置である。なお、B I U 5 1におけるC P UクロックC L K_{CPU}およびバスクロックC L K_{BUS}の制御については後述する。

【0014】

ここで、本実施の形態においては、C P U 5 0およびR O M 5 2は高周波数のクロック（高速クロック）に対応可能な高速ブロックであり、それに対し周辺機能部5 3 a, 5 3 bは、高速クロックに対応不可能な低速ブロックであると仮定する。

【0015】

図2は、当該M C Uが有するクロック生成回路1 0の構成を示すブロック図である。クロック生成回路1 0には、高周波数のメインクロックX_{IN}、並びに、比較的低周波数のサブクロックX_{CIN}が入力される。P L L回路1 1には、メインクロックX_{IN}が入力され、当該メインクロックX_{IN}の周波数を所定の係数により倍したクロックX_{PLL}（以下「P L Lクロック」と称する）を出力する。

【0016】

第1のクロック切替器1 2は、メインクロックX_{IN}とサブクロックX_{CIN}の両方が入力され、両者のうち何れかを選択して出力する。第1のクロック切替器1 2がメインクロックX_{IN}を出力するかサブクロックX_{CIN}を出力するかは、第1の選択レジスタ1 3に記憶されている設定値に応じて切り替わる。例えば、通常動作時にはメインクロックX_{IN}が選択され、バッテリー駆動時などにはサブクロックX_{CIN}が選択される。

【0017】

第2のクロック切替器14は、PLL回路11の出力であるPLLクロックX_{PLL}および第1のクロック切替器12の出力が入力され、両者のうち何れかを選択して出力する。第2のクロック切替器14が、そのどちらを出力するかは、第2の選択レジスタ15に記憶されている設定値に応じて切り替わる。即ち、第2のクロック切替器14の出力クロックM_{CLK}（以下「選択クロック」と称する）は、メインクロックX_{IN}、サブクロックX_{CIN}、PLLクロックX_{PLL}のうちのいずれかである。

【0018】

なお、第1の選択レジスタ13並びに第2の選択レジスタ15に記憶されている設定値は、ユーザの操作により入力設定されるものであってもよいし、当該MCUの動作状態に応じてCPU50の制御により自動的に設定されるものであってもよい。

【0019】

第2のクロック切替器14が出力した選択クロックM_{CLK}は、メイン分周部16に入力される。メイン分周部16は、分周比設定レジスタ17および倍速設定レジスタ18が記憶している設定値に応じて、互いに位相の揃ったCPUクロックCLK_{CPU}およびバスクロックCLK_{BUS}を生成して出力する。

【0020】

以下、メイン分周部16、分周比設定レジスタ17、倍速設定レジスタ18の詳細について説明する。図3は、メイン分周部16の構成を示すブロック図である。メイン分周部16は、分周カウンタ20および第3のクロック切替器21とから成る。分周カウンタ20は選択クロックM_{CLK}に対して分周を行い、選択クロックM_{CLK}をN分周したN分周クロック（Nは整数）、2分周した2分周クロック、および1分周（即ち選択クロックM_{CLK}そのもの）の1分周クロックの3種類のクロックを出力する。分周比設定レジスタ17には、上記Nの値が設定値として記憶されている。上記の3つのクロックは、それぞれ第3のクロック切替器21に入力される。

【0021】

第3のクロック切替器21は、CPUクロックCLK_{CPU}およびバスクロック

CLK_{BUS} として、N分周クロック、2分周クロック、1分周クロックのうちの何れかをそれぞれ選択して出力する。N分周クロック、2分周クロック、1分周クロックは共に選択クロック M_{CLK} を分周（1分周を含む）したものであるので、CPUクロック CLK_{CPU} とバスクロック CLK_{BUS} とは、互いに位相が揃ったものとなる。

【0022】

第3のクロック切替器21において、CPUクロック CLK_{CPU} およびバスクロック CLK_{BUS} のそれぞれとして、N分周クロック、2分周クロック、1分周クロックのうち何れのクロックが選択されるかは、MCUの動作モードに応じて切り替えられる。その動作モードの設定は倍速設定レジスタ18に設定値として記憶されている。動作モードとCPUクロック CLK_{CPU} およびバスクロック CLK_{BUS} との関係についての詳細は後述する。なお、当該倍速設定レジスタ18に記憶される動作モードの設定値は、ユーザの操作により入力設定されるものであってもよいし、当該MCUの動作状態に応じてCPUにより自動的に切り替えられるものであってもよい。

【0023】

図4は、メイン分周部16が有する分周カウンタ20の回路構成の一例を示す図である。同図に示すように、分周カウンタ20は、カウンタ回路22（ここでは5ビットカウンタ）と一致回路23とによって構成される。なお、図4中に示しているフリップフロップ素子は、Dフリップフロップである。また、上述したように、分周比設定レジスタ17にはN分周クロックを得るための設定値N（ここでは $N < 2^5$ ）が記憶されている。

【0024】

5ビットカウンタ22は、入力される選択クロック M_{CLK} のパルスをカウントし、一致回路23は、そのカウント値と分周比設定レジスタ17の設定値Nとを比較する。そして、カウント値と設定値Nとが一致した場合、N分周クロックの出力端子に1つのパルスを出力すると共に5ビットカウンタ22のカウント値をリセットする。即ち、5ビットカウンタ22は、分周比設定レジスタ17に設定されたNに基づく“N進カウンタ”として動作する。その結果、N分周クロック

の出力端子からは、選択クロック M_{CLK} を N 分周したクロックが出力される。また、図4の如く、5ビットカウンタ22の最下位ビット出力から2分周クロックが得られる。また、1分周クロックとしては選択クロック M_{CLK} そのものが分周カウンタ20から出力される。

【0025】

ここで、本実施の形態に係るMCUの動作モード並びに、それら動作モードの各々に対応した第3のクロック切替器21の動作について説明する。図5は、本実施の形態に係るMCUの動作モードの一例を示す図である。この例では、MCUの動作モードは、「 X_{IN} モード」、「 $X_{IN}/2$ モード」、「N分周モード」、「倍速モード」の4つに分類される。

【0026】

以下、各動作モードについて説明する。まず、 X_{IN} モードは、第1のクロック切替器12および第2のクロック切替器14により、選択クロック M_{CLK} してメインクロック X_{IN} が選択される。そして、メイン分周部16からは、選択クロック M_{CLK} がそのままCPUクロック CLK_{CPU} 並びにバスクロック CLK_{BUS} として出力される。即ち、第3のクロック切替器21の出力であるCPUクロック CLK_{CPU} 並びにバスクロック CLK_{BUS} は、共に分周カウンタ20から入力される1分周クロックである。なお、この動作モードでは、例えばMUCの低消費電力機能が動作している場合など、選択クロック M_{CLK} としてメインクロック X_{IN} に代えてサブクロック X_{CIN} が選択されるケースもあるが、メイン分周部16の動作は同様であるので、説明は省略する。

【0027】

$X_{IN}/2$ モードは、選択クロック M_{CLK} してメインクロック X_{IN} が選択される。そして、第3のクロック切替器21が出力するCPUクロック CLK_{CPU} 並びにバスクロック CLK_{BUS} は、共に分周カウンタ20から入力された2分周クロックである。即ち、CPUクロック CLK_{CPU} 並びにバスクロック CLK_{BUS} は、共にメインクロック X_{IN} を2分周したクロックである。この場合、上記 X_{IN} モードに比べ処理速度は遅くなるが消費電力が抑えられる。この動作モードでも、選択クロック M_{CLK} によって、メインクロック X_{IN} に代えてサブクロック X_{CIN} が

選択されるケースもあるが、メイン分周部16の動作は同様である。

【0028】

N分周モードは、選択クロック M_{CLK} してPLLクロック X_{PLL} が選択される。そして、第3のクロック切替器21が出力するCPUクロック CLK_{CPU} 並びにバスクロック CLK_{BUS} は、共に分周カウンタ20から入力されたN周クロックである。例えば、クロックを単に高速にしようとするならば、N分周モードでNの値を小さくすればよい（例えば $N=1$ ）。しかし、MCU内で高速クロックに対応できない低速ブロックがある場合、Nの値は当該低速ブロックが対応できる程度にしか小さくできない。

【0029】

ここで、本実施の形態においては、高速ブロックであるCPU50およびROM52はPLLクロック X_{PLL} の2分周クロックに対応可能であり、且つ、低速ブロックである周辺機能部53a, 53bがPLLクロック X_{PLL} の4分周クロックを超える速度には対応不可能であると仮定する。この場合、N分周モードにおいてNの値を4よりも小さい値には設定することができない。つまり、CPU50の動作速度は、周辺機能部53a, 53bにより律速されてしまう。本実施の形態では、N分周モードでは分周比設定レジスタ17の設定値は $N=4$ に設定されるとする。また、低消費電力機能が動作している場合などは、Nの値はさらに大きい値に設定される。

【0030】

倍速モードでは、選択クロック M_{CLK} してPLLクロック X_{PLL} が選択され、第3のクロック切替器21は、CPUクロック CLK_{CPU} としては分周カウンタ20から入力された2分周クロックを出力し、バスクロック CLK_{BUS} としてはN分周クロックを出力する。ここでも、 $N=4$ に設定されるとする。即ち、倍速モードでは、CPUクロック CLK_{CPU} は、PLLクロック X_{PLL} の2分周クロック、バスクロック CLK_{BUS} はPLLクロック X_{PLL} の4分周クロックとなる。よって、CPUクロック CLK_{CPU} とバスクロック CLK_{BUS} は、互いに位相の揃った異なる周波数のクロックの組合せとなる。この例では、CPU50およびROM52は、周辺機能部53a, 53bの2倍の速度のクロックにより動作することに

なる。

【0031】

なお、以下の説明においては、説明の簡単のため、CPUクロックCLK_{CPU}とバスクロックCLK_{BUS}とが同じ周波数の動作モード(X_{IN}モード、X_{IN}/2モード、N分周モード)を広義に“通常モード”と称する。

【0032】

図6は、第3のクロック切替器21の構成の一例を示す回路図である。倍速設定レジスタ18に記憶されている各動作モードに対応した設定値は、第3のクロック切替器21に入力される。第3のクロック切替器21はそれに応じて、出力するCPUクロックCLK_{CPU}およびバスクロックCLK_{BUS}のそれぞれを、1分周クロック、2分周クロック、N分周クロックの何れかに切り替える。図6の回路に対応した倍速設定レジスタ18の設定値は、図5に示している。即ち、この例では、倍速設定レジスタ18には3ビットの設定値データb1～b3が記憶されており、第3のクロック切替器21は、b1=0, b2=0, b3=1のときはX_{IN}モード、b1=0, b2=1, b3=0のときX_{IN}/2モード、b1=0, b2=0, b3=0のときN分周モード、b1=1, b2=0, b3=0のとき倍速モードとなるように動作する。

【0033】

ここで、図6から分かるように、倍速設定レジスタ18に保持される設定値b1=1のときは倍速モード、b2=0のときは通常モードになる。即ち、倍速設定レジスタ18は、CPUクロックCLK_{CPU}(第1のクロック)とバスクロックCLK_{BUS}(第2のクロック)の周波数を互いに同じにするか異ならしめるかの設定値b1が保持されるレジスタである。

【0034】

図7は、図1に示したBIU51の動作を説明するための図である。上述したように、BIU51は、CPUクロックCLK_{CPU}に基づいてコードバスを制御してROM52にアクセスし、バスクロックCLK_{BUS}に基づいて周辺バスを制御して周辺機能部53a, 53bを制御する。まず図7における(a)は、通常モード(X_{IN}モード、X_{IN}/2モード、N分周モード)における、コードバスサ

イクルと、周辺バスサイクルを示している。BIU51は、CPUクロックCLK_{CPU}およびバスクロックCLK_{BUS}に同期した所定のタイミングでコードバスと周辺バスとのアイドル期間を交互に切り替えることで、コードバスと周辺バスの動作タイミング制御を行う。通常モードでは、CPUクロックCLK_{CPU}とバスクロックCLK_{BUS}とが同じ周波数であるので、容易にアイドル時間の切り替え動作が可能である。

【0035】

一方、図7における(b)は、倍速モードにおける、コードバスサイクルと、周辺バスサイクルを示している。この場合も、BIU51は、CPUクロックCLK_{CPU}およびバスクロックCLK_{BUS}に同期した所定のタイミングでコードバスと周辺バスとのアイドル期間を切り替えてそれぞれの動作タイミングの制御を行う。倍速モードでは、CPUクロックCLK_{CPU}とバスクロックCLK_{BUS}との周波数は異なるが、両クロックは位相が揃っているので、通常モードと同様に、容易にコードバスおよび周辺バスの動作タイミングの制御が可能である。また、BIU51がこのような動作タイミング制御を行うことにより、上記特許文献1のように、コードバスと周辺バスとの動作の同期をとるための回路を付加する必要はない。

【0036】

さらに、BIU51において、CPUクロックCLK_{CPU}とバスクロックCLK_{BUS}という異なる2つの周波数に基づく動作タイミングの制御を、コードバスと周辺バスとのいずれか片方ずつを有効する（他方はアイドル（無効）状態にする）ことにより実現しているので、当該動作タイミングの制御を容易に行うことができる。以上の説明では、倍速モードとしてCPUクロックCLK_{CPU}のバスクロックCLK_{BUS}に対する周波数の比が2倍のケース（2倍速モード）について説明したが、CPUクロックCLK_{CPU}とバスクロックCLK_{BUS}との位相が揃っていれば、上記と同様の手法により、例えば当該周波数の比が3倍以上のケースであっても、容易に動作タイミングの制御を行うことが可能である。即ち、本発明に適用は、2倍速モードに限られるものではない。

【0037】

本実施の形態における倍速モードでは、CPUクロックCLK_{CPU}はPLLクロックX_{PLL}の2分周クロックであり、4分周クロックのバスクロックCLK_{BUS}よりも高速である。よって、CPU50の高速動作が可能になる。一方、バスクロックCLK_{BUS}の周波数はN分周モードと同様であるので、従来どおりの動作が可能である。つまり、倍速モードでは、周辺機能部53a, 53bの動作に影響を与えることなく、CPU50の動作速度を上げることが可能である。言い換えれば、CPU50の動作速度が、周辺機能部53a, 53bの動作速度により律速されることが防止されるので、MCU全体の動作速度の向上に寄与できる。また、周辺機能部53a, 53bとして高速動作が可能なものを使用せずにCPU50の動作速度を上げることができることから、MCU全体のコスト上昇を抑える効果もある。

【0038】

<実施の形態2>

実施の形態1によれば、MCUの高速化を図ることができるが、MCUのクロック周波数を上げると、一般にMCU全体の消費電力が増大するという問題を伴う。その対策として、例えばスリープモードなど、MCUの動作が不要な場合に、クロックを停止させることができることが考えられる。それにより、低消費電力化を図ることができる。

【0039】

図8は、実施の形態2に係るMCUのクロック生成回路10の構成を示すブロック図である。この図において図2と同様の機能を有する要素には同一符号をしており、それらのここでの詳細な説明は省略する。同図に示すように、クロック生成回路10は、クロック停止装置60を有する。また、図示は省略するが、本実施の形態ではCPU50は、クロック生成回路10のクロック発生動作を停止させるためのクロック停止信号を出力する。クロック停止信号は、クロック生成回路10のクロック停止装置60に入力される。また、クロック停止装置60には、メイン分周部16が出力するバスクロックCLK_{BUS}も入力される。

【0040】

クロック停止装置60は、第1のクロック切替器12および第2のクロック切

替器14の入力側に配設される。そして、CPUクロックCLK_{CPU}からのクロック停止信号に従って、第1のクロック切替器12および第2のクロック切替器14へのクロック入力（メインクロックX_{IN}、サブクロックX_{CIN}、PLLクロックX_{PLL}）を停止させることで、クロック生成回路10のクロック発生動作を停止させる。このとき、クロック停止装置60は、バスクロックCLK_{BUS}の1つの周期（単位周期）が終わるタイミングで、各クロックを停止させるよう動作する。

【0041】

図8に示すように、クロック停止装置60は、メインクロックX_{IN}、サブクロックX_{CIN}、PLLクロックX_{PLL}のそれぞれを停止させるための、クロック停止回路61～63から構成される。図9は、それらクロック停止回路61～63の回路構成の一例を示す図である。なお、ここでの説明においては、バスクロックCLK_{BUS}の単位周期は、バスクロックCLK_{BUS}のパルスの立上がりのタイミングで終了するものとする。

【0042】

図9の回路によれば、クロック停止信号が“1(Hight)”のときは、入力クロックがそのまま出力クロックとして出力される。一方、クロック停止信号が“0(Low)”に切り替わると、その後にバスクロックCLK_{BUS}の立ち上がりのタイミングで、出力クロックが停止する。つまり、選択クロックM_{CLK}は、バスクロックCLK_{BUS}の単位周期が終わるタイミングまでメイン分周部16に供給された直後に停止する。従って、クロックを停止した状態から復帰するときには、バスクロックCLK_{BUS}の単位周期の先頭からクロックの生成が開始される。

【0043】

その結果、クロック生成の停止／開始の切り替わり時においても、一定の長さの周期を有するCPUクロックCLK_{CPU}並びにバスクロックCLK_{BUS}が生成される。従って、MCUの低消費電力化に寄与できると共に、クロック生成の停止／開始の切り替わり時においてMCUの動作が不安定になることが防止される。

【0044】

＜実施の形態3＞

上述したように、「倍速モード」では、選択クロック M_{CLK} としてPLLクロック X_{PLL} が選択される。MCUの高速化を図る上で、メインクロック X_{IN} 、サブクロック X_{CIN} 、PLLクロック X_{PLL} のうちの最も高速なものを使用することが有効であるためである。

【0045】

しかし、例えばユーザによる誤設定や、外部からのノイズの影響に起因するCPU50の誤動作によって、選択クロック M_{CLK} がPLLクロック X_{PLL} でない場合にもメイン分周部16が倍速モード時の動作を行うことが考えられる。そこで、本実施の形態においては、選択クロック M_{CLK} がPLLクロック X_{PLL} である場合にのみ、倍速モードに切り替わるクロック生成回路10を提案する。

【0046】

図10は、本実施の形態に係るクロック生成回路10の構成を示すブロック図である。ここでも図2と同様の機能を有する要素には同一符号を付している。また、本実施の形態においては、第2の選択レジスタ15の設定値は、第2のクロック切替器14がPLLクロック X_{PLL} を選択するように動作させる場合は“1”、それ以外は“0”であるとする。また、倍速設定レジスタ18の設定値は、図5に示したものと同様であるとする。

【0047】

AND回路65には、第2の選択レジスタ15の設定値と、倍速設定レジスタ18の設定値のうち倍速モードか否かを示す設定値 b_1 とが入力され、その論理演算結果をメイン分周部16に出力する。AND回路65の出力は、図6に示した第3のクロック切替器21に入力される設定値 b_1 の値として入力される。それ以外の部分に関しては実施の形態1と同様である。

【0048】

従って、第3のクロック切替器21が倍速モードに切り替わるのは、第2の選択レジスタ15の設定値が“1”、且つ、倍速設定レジスタ18の設定値 b_1 の値が“1”である場合のみである。言い換えれば、たとえ倍速設定レジスタ18の設定値が倍速モードの設定であったとしても、第2の選択レジスタ15の設定値が“1”でない限り、メイン分周部16は通常モードの動作を行う。つまり、

第2の選択レジスタ15およびAND回路65は、倍速設定レジスタ18に保持されている設定値b1(CPUクロックCLK_{CPU}とバスクロックCLK_{BUS}とを周波数を互いに同じにするか異なるかの設定値)に関わらず、CPUクロックCLK_{CPU}とバスクロックCLK_{BUS}と同じ周波数にする手段として機能している。

【0049】

本実施の形態によれば、第2のクロック切替器14が選択クロックM_{CLK}としてPLLクロックX_{PLL}を選択している場合に限り、倍速設定レジスタ18はメイン分周部16に倍速モードの動作を行わせることが可能である。つまり、選択クロックM_{CLK}がPLLクロックX_{PLL}でない場合に、メイン分周部16が倍速モード時の動作を行うことが無く、ユーザによる誤設定や、ノイズによる誤動作の影響を抑えることができる。

【0050】

<実施の形態4>

クロック生成回路10に外部から入力される(即ち、外部クロックである)基準クロックとしてのメインクロックX_{IN}の発振が停止した場合、PLL回路11は動作の基準となるクロックの入力が無くなるため、当該PLL回路11の動作が不安定になることが考えられる。その場合、選択クロックM_{CLK}としてPLLクロックX_{PLL}が選択された状態では、MCUの誤動作を引き起こす原因となるので、選択クロックM_{CLK}をPLLクロックX_{PLL}以外の信号に切り替えると共に、動作モードを倍速モード以外のものにする必要がある。また、不用意にCPUクロックCLK_{CPU}およびバスクロックCLK_{BUS}が停止してしまうことも、誤動作を引き起こし、MCUの動作が不安定になる要因である。

【0051】

図11は、本実施の形態に係るクロック生成回路10の構成を示すブロック図である。ここでも図2と同様の機能を有する要素には同一符号を付している。クロック生成回路10は、発振停止検出器71、リングオシレータ72および第4のクロック切替器73(基準クロック切替回路)から構成される発振監視装置70を有する。外部クロックであるメインクロックX_{IN}が通常どおり入力されてい

る状態では、リングオシレータ72は動作せず、このとき第4のクロック切替器73はメインクロック X_{IN} を第1のクロック切替器12に出力する。発振停止検出器71は、メインクロック X_{IN} をモニタして、メインクロック X_{IN} の停止を検出する。

【0052】

発振停止検出器71によって、外部クロックであるメインクロック X_{IN} の停止が検出されると、発振監視装置70は次のような動作を行う。即ち、リングオシレータ72はメインクロック X_{IN} に切り替わって発振を開始し、メインクロック X_{IN} に代わる新たな基準クロック（第3のクロック）を出力する。第4のクロック切替器73は、リングオシレータ72が出力する基準クロックを第1のクロック切替器12に出力するように切り替わる。さらに、発振停止検出器71は、第1のクロック選択レジスタ13、第2の選択レジスタ15を制御して、選択クロック M_{CLK} としてリングオシレータ72が出力する基準クロックが選択されるようにする（即ち、第2のクロック切替器14がPLLクロック X_{PLL} を選択しないようにする）。それと共に、発振停止検出器71は、倍速設定レジスタ18を制御してメイン分周部16が倍速モードで動作しないようにする。

【0053】

即ち、本実施の形態によれば、クロック生成回路10は、外部から入力されるメインクロック X_{IN} が停止した場合でも、リングオシレータ72が出力する基準クロックに基づいてCPUクロック CLK_{CPU} 、バスクロック CLK_{BUS} を生成する。従って、CPU50およびBIU51の誤動作を防止でき、安定したMCUの動作を行うことが可能になる。

【0054】

【発明の効果】

本発明によれば、クロック生成回路は、第1および第2のクロックの周波数を互いに同じにするか異なるらしめるかの設定が保持されるレジスタを備え、当該レジスタに保持された設定に応じて、第1および第2のクロックの位相は揃えたままで周波数を切り替える。即ち、互いに位相が揃った異なる周波数の第1および第2のクロックを生成可能である。よって、例えば周辺装置が低速ブロックでC

PUが高速ブロックの場合に、第1のクロックを第2のクロックよりも高速にすることによって、周辺装置の正常な動作を確保しつつCPUの高速化を図ることができる。言い換れば、CPUの動作速度が、周辺回路の動作速度により律速されることが防止されるので、MCU全体の動作速度の向上に寄与できる。また、MCUを構成する要素全てを高周波数のクロックに対応したものにすることなく、CPUの動作速度を上げることができることから、MCU全体のコスト上昇を抑える効果も得られる。

【0055】

さらに、第1および第2のクロックの周波数が互いに異なる場合においても、両者の位相は揃ったままであるので、例えばBIUにおいて、容易に動作タイミング制御が可能である。例えば、コードバスと周辺バスとの動作の同期をとるための回路を付加する必要はない。

【図面の簡単な説明】

【図1】 実施の形態1に係るマイクロコントローラ(MCU)の要部構成を示すブロック図である。

【図2】 実施の形態1に係るクロック生成回路の構成を示すブロック図である。

【図3】 実施の形態1に係るクロック生成回路のメイン分周部の構成を示すブロック図である。

【図4】 実施の形態1に係るクロック生成回路のメイン分周部が有する分周カウンタの回路構成の一例を示す図である。

【図5】 実施の形態1に係るMCUの動作モードの一例を示す図である。

【図6】 実施の形態1に係るクロック生成回路のメイン分周部が有する第3のクロック切替器の回路構成の一例を示す図である。

【図7】 実施の形態1に係るMCUが有するBIUの動作を説明するための図である。

【図8】 実施の形態2に係るクロック生成回路の構成を示すブロック図である。

【図9】 実施の形態2に係るクロック生成回路のクロック停止回路の回路

構成の一例を示す図である。

【図10】 実施の形態3に係るクロック生成回路の構成を示すブロック図である。

【図11】 実施の形態4に係るクロック生成回路の構成を示すブロック図である。

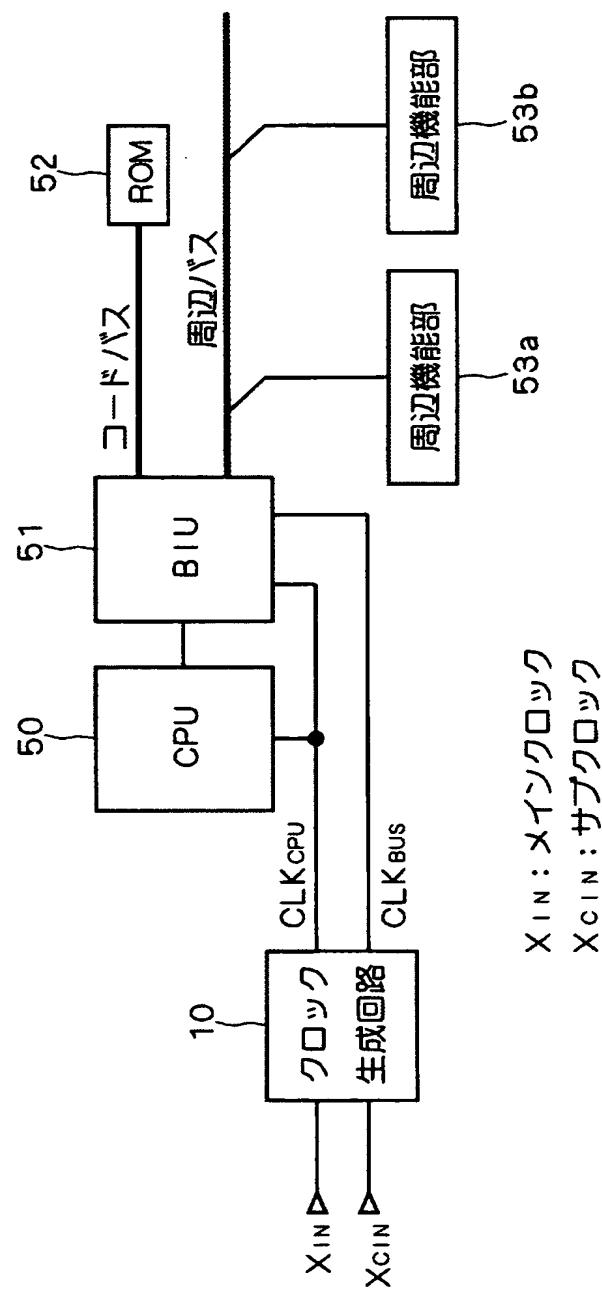
【符号の説明】

X_{IN} メインクロック、 X_{CIN} サブクロック、 X_{PLL} PLLクロック、 CL_{CPU} CPUクロック、 CLK_{BUS} バスクロック、 M_{CLK} 選択クロック、10 クロック生成回路、11 PLL回路、12 第1のクロック切替器、13 第1の選択レジスタ、14 第2のクロック切替器、15 第2の選択レジスタ、16 メイン分周部、17 分周比設定レジスタ、18 倍速設定レジスタ、20 分周カウンタ、21 第3のクロック切替器、22 5ビットカウンタ、23 一致回路、50 CPU、51 BIU、52 ROM、53a, 53b 周辺機能部、60 クロック停止装置、61 クロック停止回路、65 AND回路、70 発振監視装置、71 発振停止検出器、72 リングオシレータ、73 第4のクロック切替器。

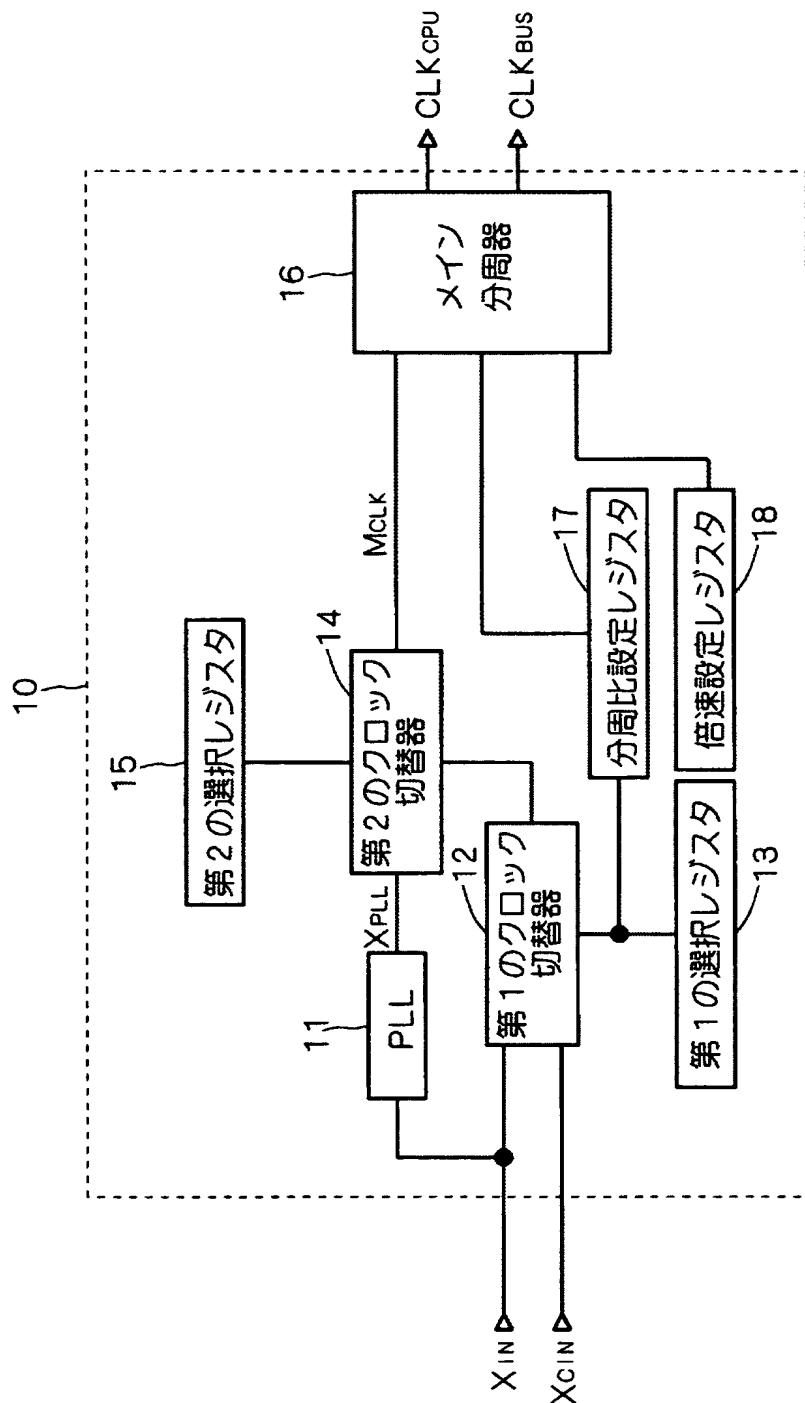
【書類名】

図面

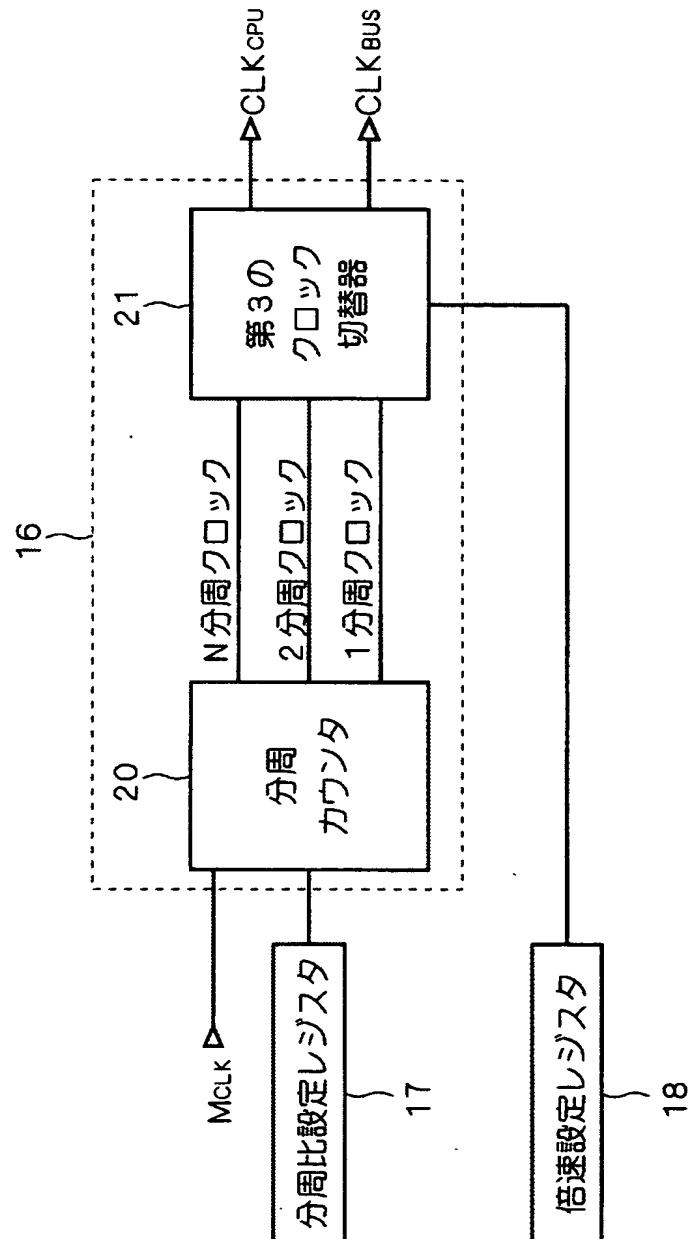
【図1】



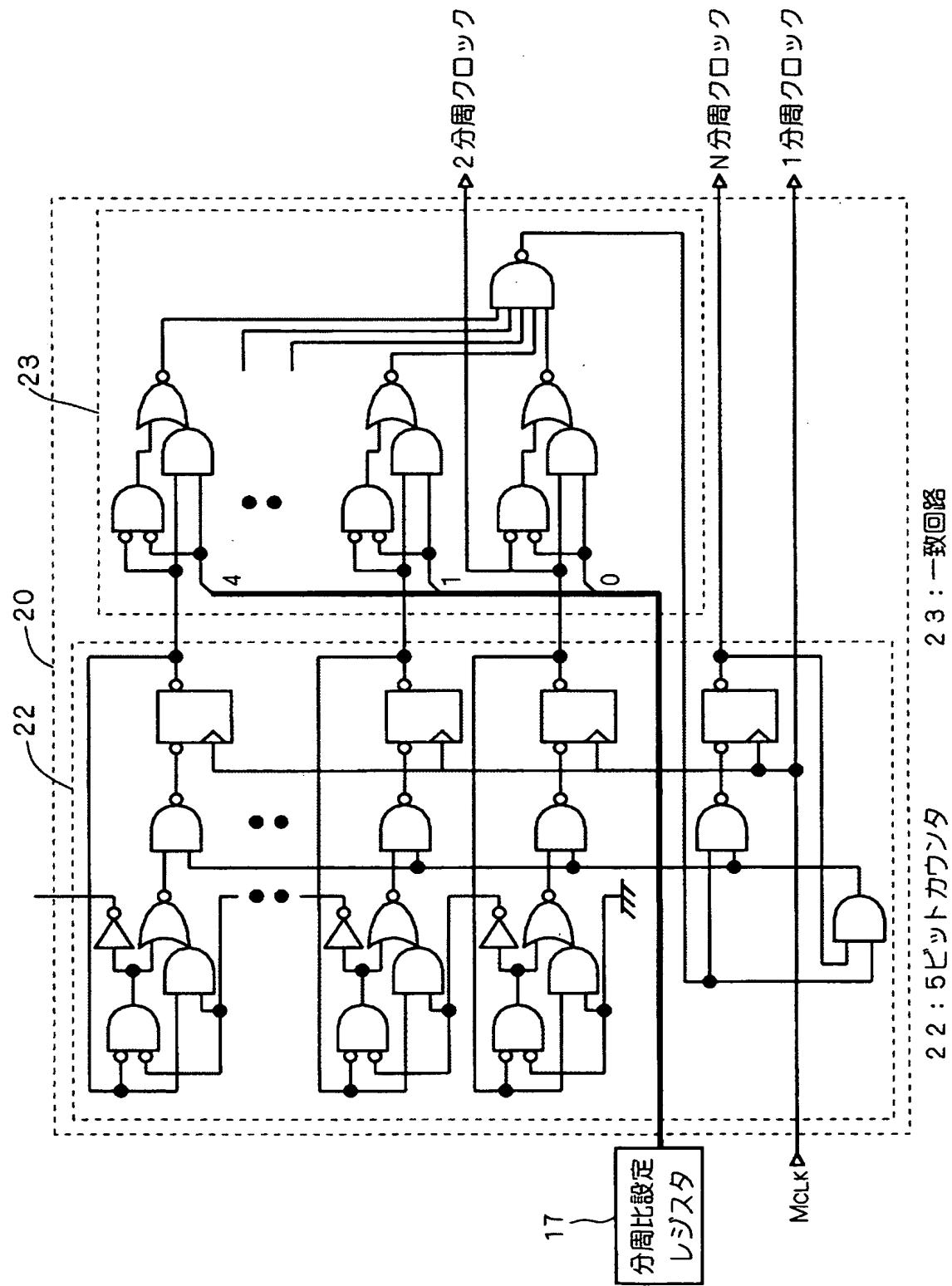
【図2】



【図3】



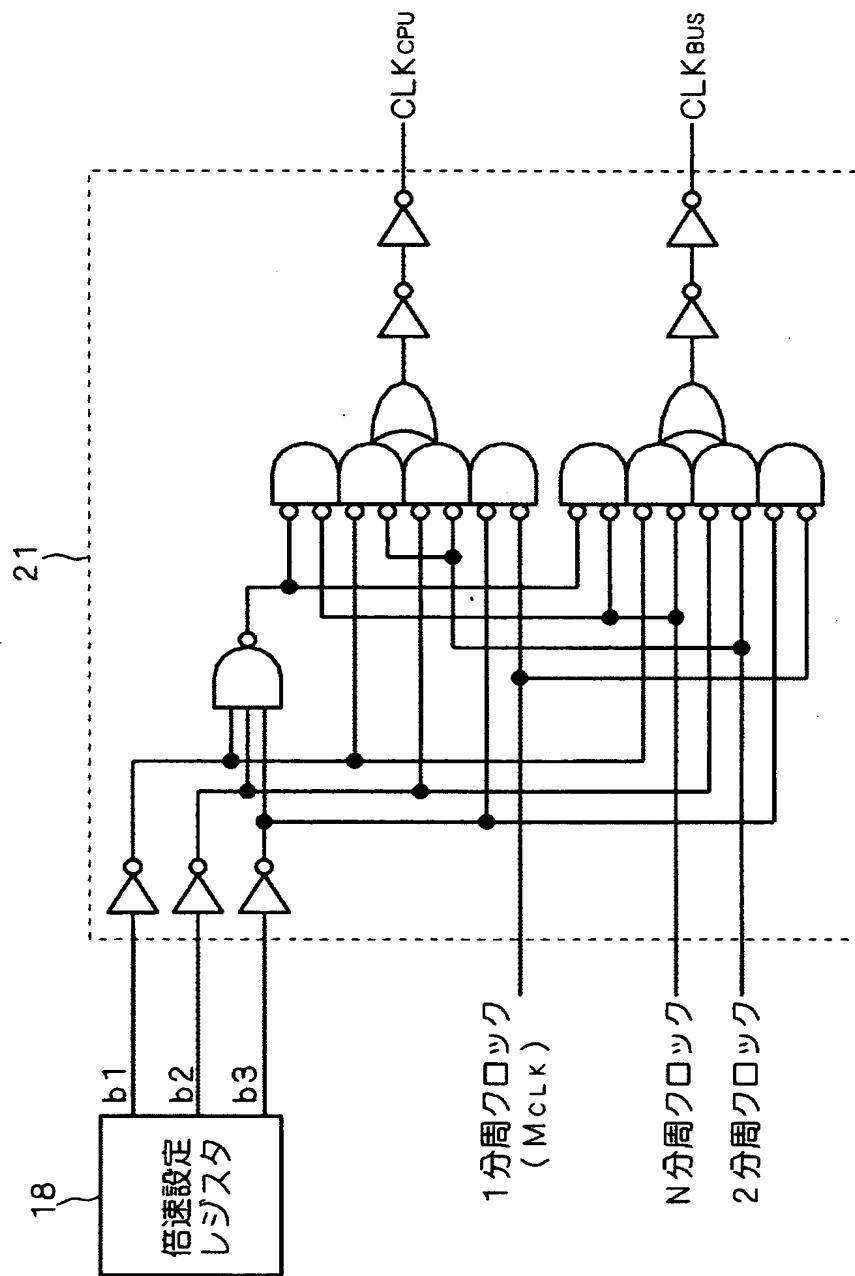
【図4】



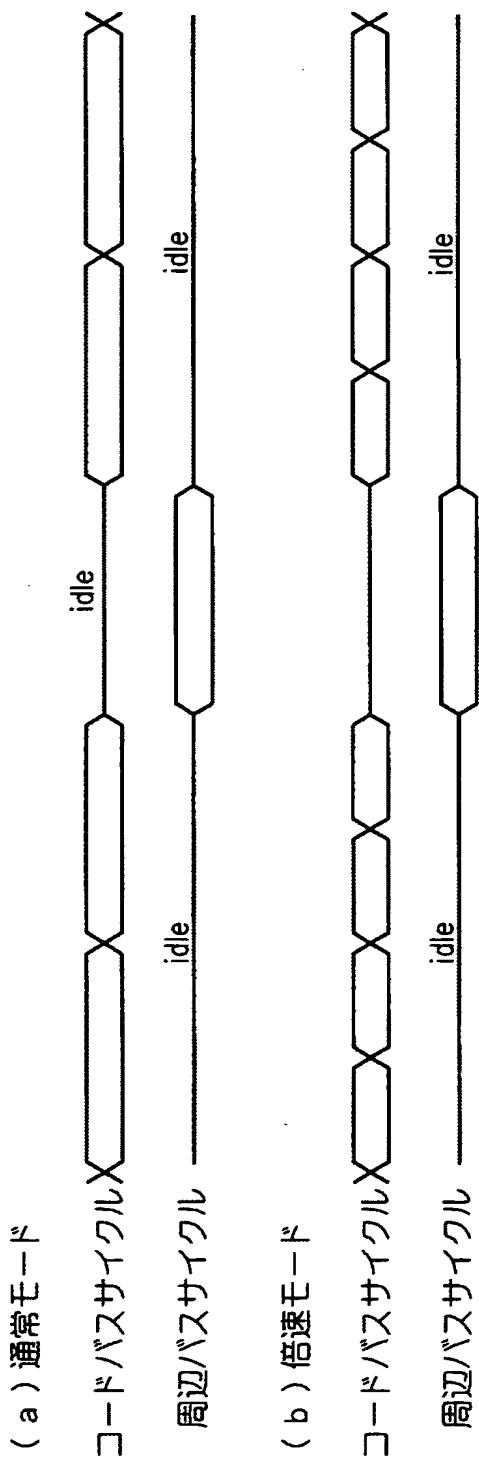
【図5】

第3のクロック選択器21の出力		倍速設定レジスタ17の設定		
動作モード分類	CLK _{CPU}	CLK _{BUS}	b 1	b 2
X _{IN} (X _{CIN})	1分周クロック	1分周クロック	0	0
X _{IN} /2 (X _{CIN} /2)	2分周クロック	2分周クロック	0	1
倍速	2分周クロック	N分周クロック	1	0
N分周	N分周クロック	N分周クロック	0	0

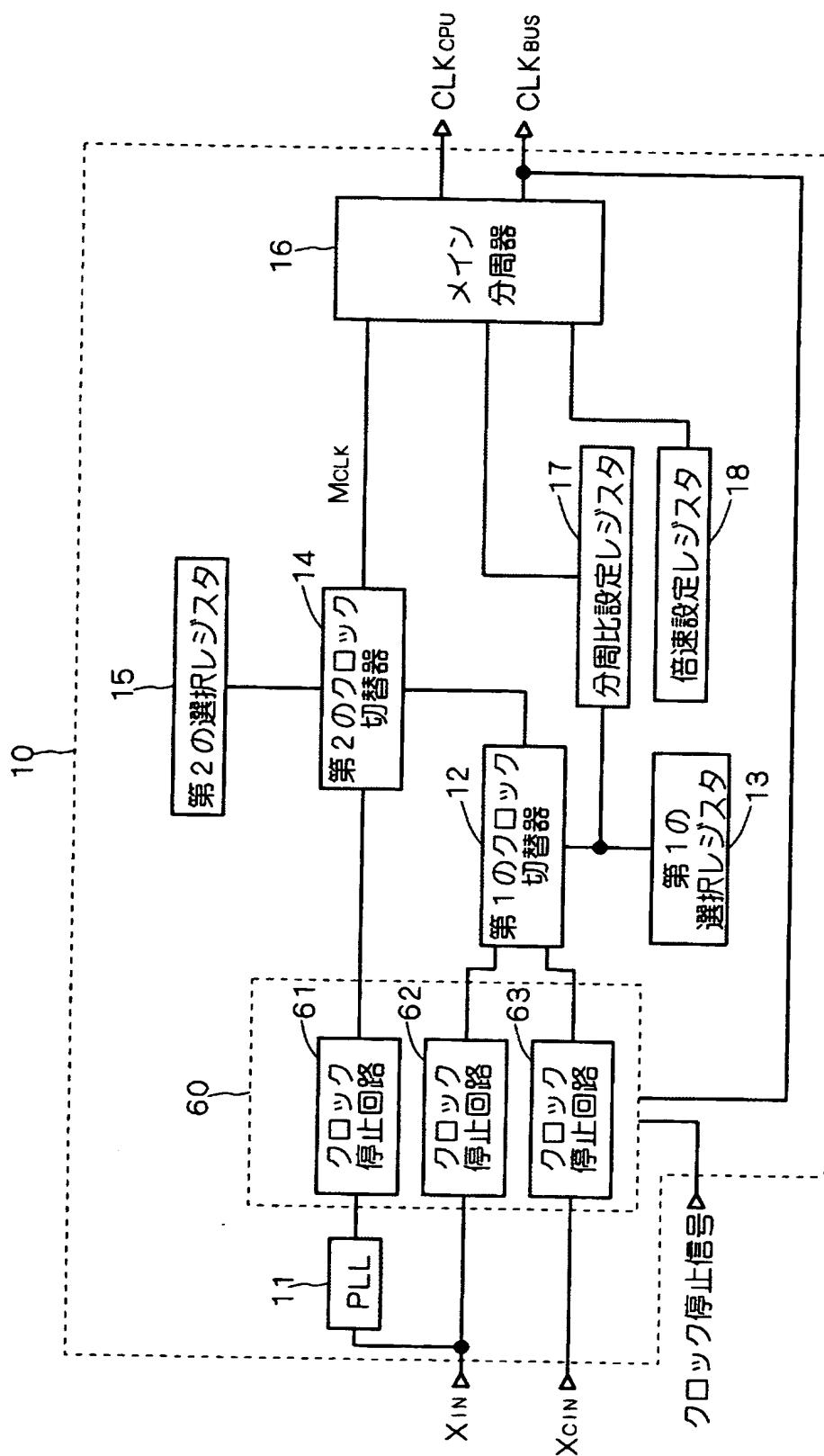
【図6】



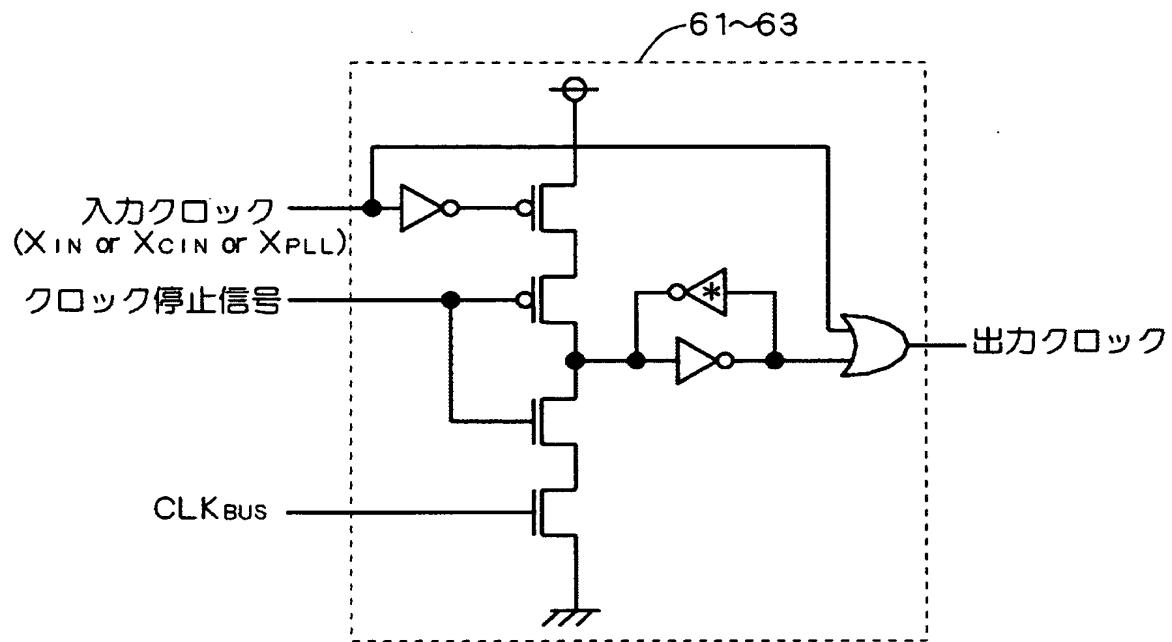
【図7】



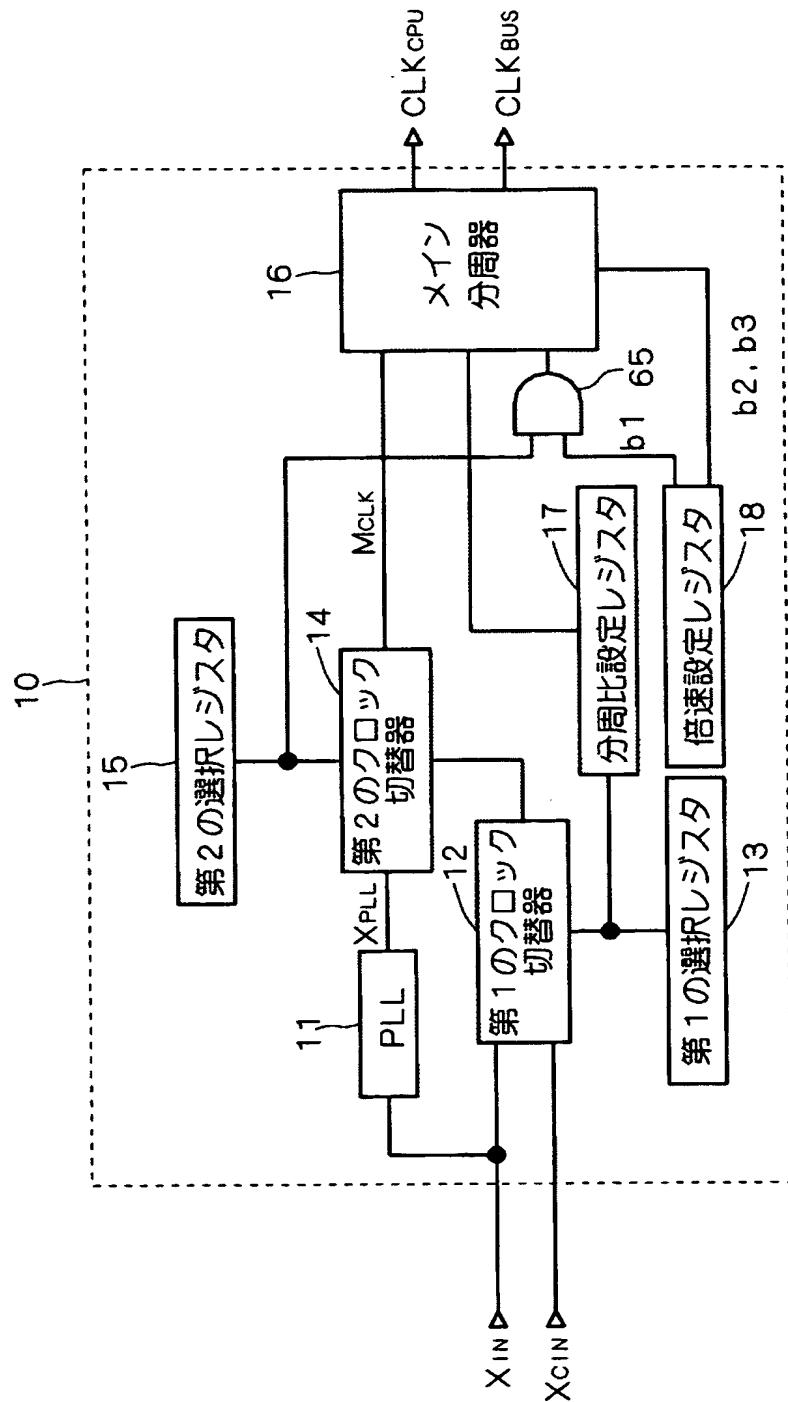
【図8】



【図9】

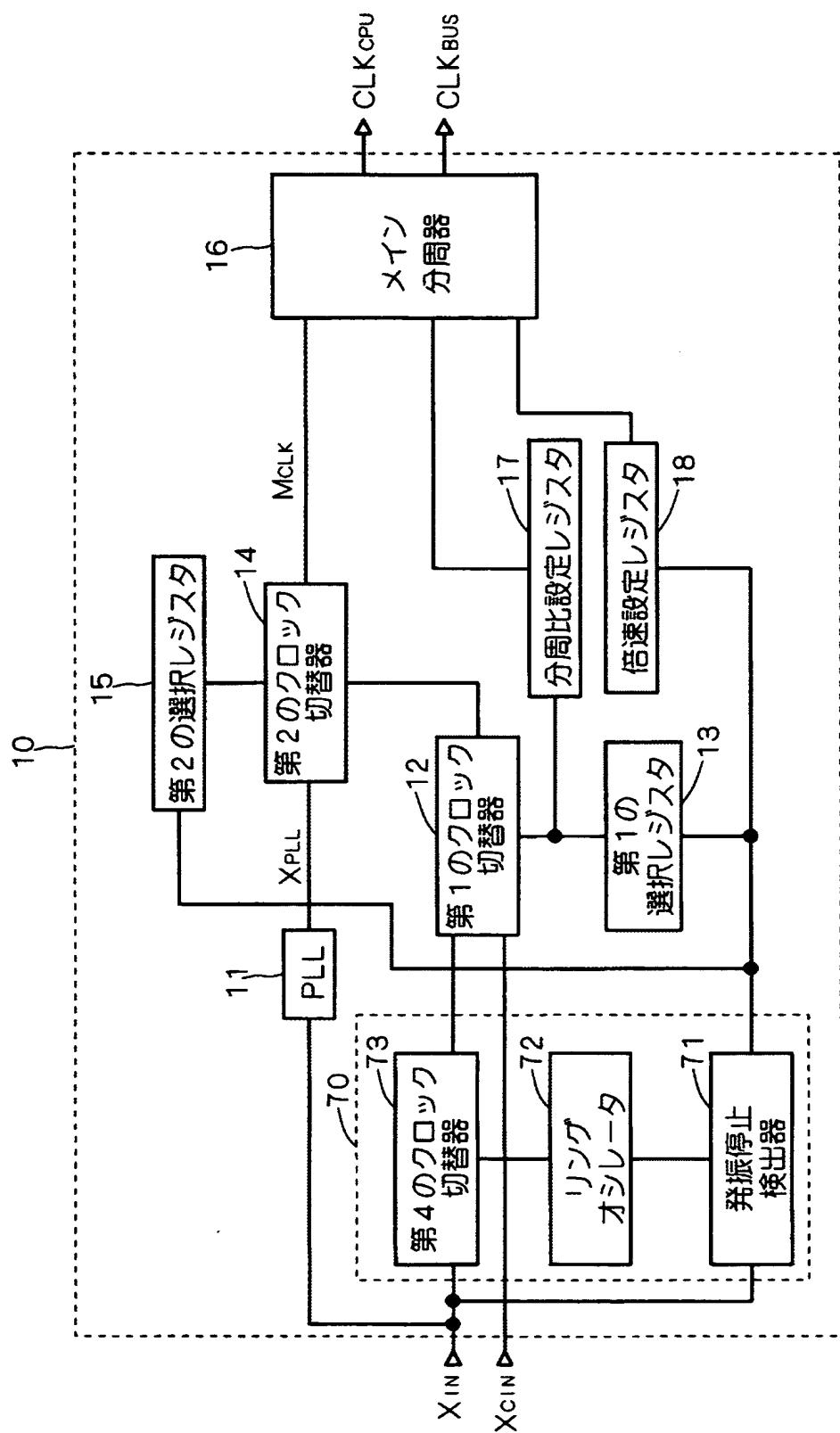


【図10】



65: AND回路

【図11】



【書類名】 要約書

【要約】

【課題】 周辺回路の動作速度に律速することなくCPU動作の高速化を図ると共に、それに伴う消費電力の上昇を抑制する。

【解決手段】 クロック生成回路10は、互いに位相の揃った2つのクロック、即ちCPUクロックCLK_{CPU}並びにバスクロックCLK_{BUS}を生成する。BIU(バスインターフェイスユニット)51は、CPUクロックCLK_{CPU}に基づいてコードバスを制御し、その一方でバスクロックCLK_{BUS}に基づいて周辺バスを制御する。クロック生成回路10は、MCUの動作モードに応じてCPUクロックCLK_{CPU}およびバスクロックCLK_{BUS}それぞれの周波数を切り替える。例えばCPUの高速動作を行うために、CPUクロックCLK_{CPU}をバスクロックCLK_{BUS}よりも高速にする。その場合でも、両クロックの位相は揃っているため、BIU51におけるコードバスおよび周辺バスの制御は容易に行うことが可能である。

【選択図】 図2

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ